

适用于 Flash Memory 的快速响应的低压差稳压器

郭家荣, 冉 峰

(上海大学 机电学院, 上海 200072)

摘 要: 提出一种适用于 flash memory 的无片外电容的低压差稳压器设计. 利用米勒补偿和自适应基准技术获取高稳定性和增强的瞬态. 该低压差稳压器利用片内小电容作为频率补偿的同时还通过它的耦合效应形成高速反馈环路以获得快速的瞬态响应. 该电路在低负载情况下具有很低的静态电流和在高负载情况下的高电流效率. 提出的稳压器采用 90 nm 工艺, 在 1.45 V 到 3.8 V 操作电压范围内, 输出 1.3 V 的调制电压和 10 mA 的最大输出电流. 对于 Flash Memory 应用来说, 当负载瞬态变化时, 提出的低压差稳压器的建立时间仅仅为 20 ns. 芯片面积是 $40\ \mu\text{m} \times 280\ \mu\text{m}$.

关键词: 低压差稳压器; 无片外电容; 缓冲级; 自适应基准; 摆率增强

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)10-0101-04

A Fast-Transient-Response LDO for Flash Memory

GUO Jia-rong, RAN Feng

(School of Mechatronic Engineering and Automation, Shanghai University, Shanghai 200072, China)

Abstract: A low-dropout regulator (LDO) without off-chip capacitor for flash memory application is presented in this paper. Techniques of Miller compensation and adaptive biasing are employed to achieve high stability and enhanced loop bandwidth while maintaining low quiescent current and high current efficiency. Simultaneously, inner small capacitor is used to enhance load regulation through its coupling effect to implement high-speed feedback loop. The proposed LDO is implemented in 90nm process, and can regulate the output voltage at 1.3 V from supply ranging from 1.45~3.8 V, providing maximum output current of 10 mA. The settling time of the proposed LDO is only 20 ns when output current changes from low to high for flash memory. The active chip area is $40\ \mu\text{m} \times 280\ \mu\text{m}$.

Key words: low-dropout voltage regulator; output-capacitorless; buffer; adaptively biasing; slew-rate enhancement

1 引言

低压差稳压器是片上系统(SoC)设计的一个关键组件^[1-4]. 维护好的调制和快速响应的同时最小化静态电流和压差是低压差调制器设计的主要问题. 传统的低压差稳压器使用片外电容增强瞬态响应和保证稳定性^[5]. 对于便携式应用, 大的片外电容不能集成到单一芯片上. 因此, 开发无片外电容的低压差稳压器成为焦点.

在负载瞬态变化时, 传统的低压差稳压器的大输出电容作为电荷缓冲器吸收或提供负载与功率管之间的差分电流. 输出电容的缩减将导致严重输出

电压变化, 以致影响使用该低压差稳压器设备的性能. 无片外电容的低压差稳压器因输出电容是小的, 输出极点不是主极点.

最近, 许多研究者提出各种无片外电容的低压差稳压器结构^[4-6]. 这些工作把无片外电容的低压差稳压器看作一个两级或者三级的放大器. 不同的是低压差稳压器的功率管级有大的栅电容和随负载变化的增益. 这将引起低压差稳压器在不同负载级的稳定性问题和负载瞬态变化时的输出变化. 为了解决这些问题, 两种解决方法被提出: (1) 使用有源反馈补偿方法获得高速的环路响应; (2) 使用摆率增强减小负载瞬态变化时的输出变化.

本文提出了一种使用有源反馈补偿和自适应基准电压缓冲级的低压差稳压器。该低压差稳压器通过片内小电容耦合效应形成的高速反馈环路使系统具有快速的瞬态响应,通过自适应基准电压缓冲级,不仅把误差放大器输出端的极点推向高频稳定系统,还在高电流效率下增强了功率管栅端的摆率。第二部分详细描述了该低压差稳压器的设计概念。第三和第四部分将给出电路实现和实验结果。最后第五部分给出结论。

2 提出的低压差稳压器结构

图 1 中展示了传统的三级极点分割的低压差稳压器结构。该低压差稳压器由一个两级的误差放大器,环路补偿网络和作为整个反馈环路输出增益级的功率晶体管构成。功率管由于要输出大的电流,所以相比较其它内部晶体管,功率管尺寸是大的。进而相应的功率管栅电容也是很大的。对于片上电源管理的目的,电容是小的,仅仅在数十到数百皮法。低压差稳压器的响应时间受到了功率管栅端摆率的限制。

图 2 描述了提出的具有快速响应的低压差稳压器结构。它通过增加负载电流感应电路把图 1 的缓冲级修改成自适应基准的缓冲级以增强摆率及最小化空载下的静态电流和提高重负载下的电流效率。片内小电容构成的高速反馈环路形成补偿环路。误差放大器比较基准电压 V_{REF} 和反馈电压 bV_{OUT} , b 是反馈因子,其值为 $R_{f1}/(R_{f1}+R_{f2})$,然后调整功率管 M_p 的栅端电压产生调制的输出电压 V_{REF}/b 。

输出电压 C_o 不是片外电容,而是片上的负载电容。使用小基准 I_{BIAS} 电流获得低负载或空载情况下的电压调制。为了拥有低的待机电流,要求 I_{BIAS} 是很小的。电压缓冲级除了固定基准电流 I_{BIAS} ,还有反馈的自适应基准电流 I_{AB} ,目的是增强功率管栅端摆率和推相应的极点到高频。负载电流感应器感应 I_{load} 以调整 I_{AB} 正比于负载电流 I_{load} ($I_{AB} = kI_{load}$)。结果,在重负载情况下,缓冲级的大基准电流增强了功率管栅端的摆率和改进了低压差稳压器的动态性能。电容 C_m 在电路中有两个作用,一个是作为频率补偿使系统稳定。另一个是构成高速反馈环路,使系统具有快速的瞬态响应。

该低压差稳压器有两个环路:一个是主反馈环路和由小电容构成的高速反馈环路。在瞬态变化发生时,高速反馈环路首先通过小电容的耦合效应调制输出电压到达闪存工作允许的电压范围内,然后

主环路慢慢调制输出电压到相应的值。

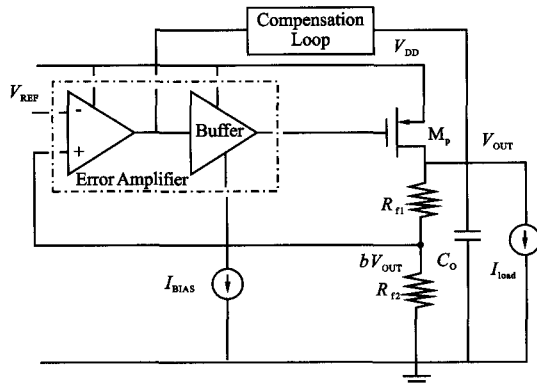


图 1 传统的低压差稳压器设计

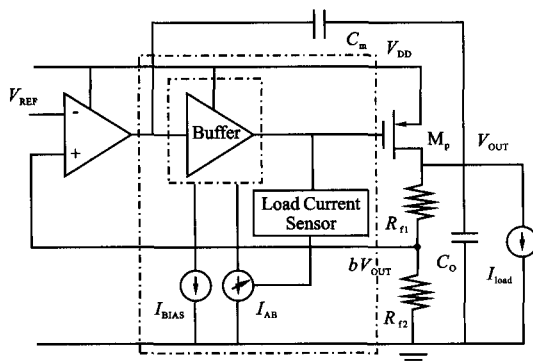


图 2 提出的低压差稳压器结构

3 电路实现

3.1 小信号分析

图 3 和图 4 分别描述了提出的低压差稳压器的小信号模型和晶体管级电路实现。其中 g_{m1} , g_{m5} , g_{m6} , g_{mps} 和 g_{mp} 分别是误差放大器增益级,晶体管 M_5 , 晶体管 M_6 , 负载电流感应晶体管 M_{ps} 和功率管晶体管 M_p 的跨导。 $R_{o1,o3}$ 和 $C_{o1,o3}$ 分别代表误差放大器增益级和电压缓冲级的输出电阻和等效寄生电容。因为 V_{o2} 的输出电阻和等效寄生电容是小的,因此忽略该结点处的极点。基于 C_L 和 C_m 比内部电容 C_{o1} 大的假设,环路的传输函数可以近似用方程(1)来表示,相应的开环直流增益 A_{o1} 可由方程(2)来表示。有三个左半平面极点和一个右半平面零点。由于 N 值是大的,极点 $p = (1 + Ng_{mps}R_{o3})/R_{o3}C_{o3}$ 被定位在比单位增益频率高的频率处。因此主极点是 $p_{-3dB} = 1/g_{mp}R_{out}R_{o1}C_m$, 第一个非主极点是 $p_{1nd} = G_{mp}/C_L$ 和右半平面零是 $z = -g_{mp}/C_m$ 。因为右半平面零对环路贡献负的相位裕度,所以设计非主极点 P_{1nd} 定位在右半平面零 z 之前。这样系统的相位裕度主要由非主极点 P_{1nd} 与单位增益带宽积 (ω_{GBW}) 的比率限制^[7]。

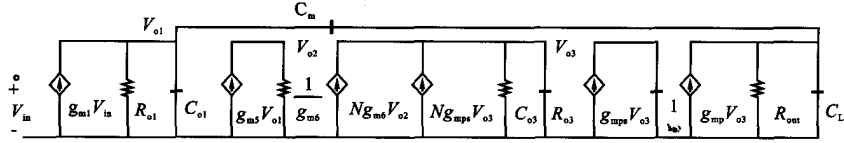


图3 提出的低压差稳压器小信号模型

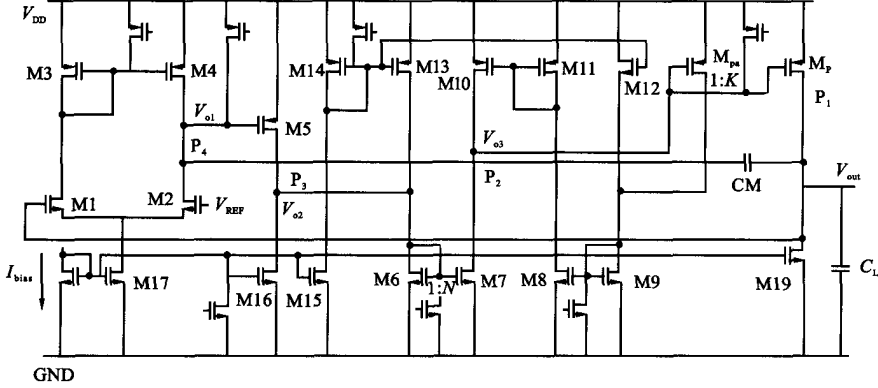


图4 提出的低压差稳压器电路图

$$T(s) \cong A_{ol} \cdot \frac{\left(1 - \frac{C_m s}{g_{mp}}\right)}{\left(1 + \frac{R_{o3} C_{o3}}{1 + N g_{mps} R_{o3}} s\right) (1 + g_{mp} R_{out} R_{o1} C_m s + C_m C_L R_{o1} R_{out} s^2)}$$

$$= \frac{g_{m1} R_{o1} (g_{m5} / g_{mps}) g_{mp} R_{out} \left(1 - \frac{C_m s}{g_{mp}}\right)}{\left(1 + \frac{R_{o3} C_{o3}}{1 + N g_{mps} R_{o3}} s\right) (1 + g_{mp} R_{out} R_{o1} C_m s) \left(1 + \frac{C_L}{g_{mp}} s\right)} \quad (1)$$

$$A_{ol} = g_{m1} R_{o1} \left(\frac{g_{m5}}{g_{m6}}\right) \frac{N g_{m6} R_{o3}}{(1 + N g_{mps} R_{o3})} g_{mp} R_{out} \approx g_{m1} R_{o1} (g_{m2} / g_{mps}) g_{mp} R_{out} \quad (2)$$

$$K = \tan \phi = \frac{p_{1nd}}{\omega_{GBW}} \quad (3)$$

式中, ϕ 是相位裕度, 增益带宽积 $\omega_{GBW} = A_{ol} p_{-3dB} = \frac{g_{m1}}{C_m}$.

当 $K \geq 1$, 系统能够获得一个充分的相位裕度。把 p_{1nd} 和 ω_{GBW} 代入式(3)解 C_m 如式(4):

$$C_m = \left(\frac{g_{m1}}{g_{mp}}\right) K C_L \quad (4)$$

因此, 对于取式(4)的 C_m 值, 提出的低压差稳压器在单位增益频率范围内有单一的极点, 这使系统是无条件稳定的。

3.2 快速的瞬态实现

该低压差稳压器通过电容耦合技术和自适应基准技术使系统具有高速的反馈环路进而获得极快的响应速度。高速反馈环路探测输出电压变化然后调整输出电压到 Flash Memory 允许的电压范围内仅仅需要 20 ns。图5描述了该低压差稳压器在负载电流从低到高瞬态变化时的调制过程。从图中可以看

出整个瞬态过程分为三段, 第一个时间段, 在负载瞬态变化时, 输出电压从 V_{stb} 跌落到 V_{drp} 。第二阶段, 小电容构成的高速反馈环路将输出电压从 V_{drp} 调制到 V_{rc} , 这个值是在 Flash Memory 可以工作的电压范围内。在最后阶段, T_3 , 主环路慢慢将输出电压从 V_{drp} 调制到 V_{act} 。很明显, $T_1 + T_2$ 是该低压差稳压器的建立时间, 也是设计中关心的时间段。因为 Flash Memory 允许一定范围的电压变化, 所以 T_3 时间长度不需要关注。低压差稳压器的全瞬态过程调制时间 $T_1 + T_2 + T_3$ 是长的, 但对于 Flash Memory 应用来说, 需要的响应时间 $T_1 + T_2$ 是短的, 这是极快的响应速度。

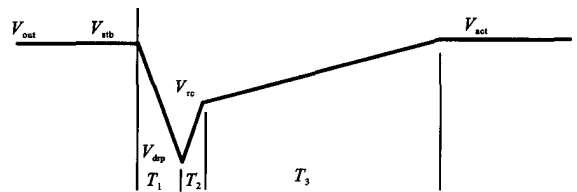


图5 负载电流跳变时的瞬态过程

4 实验结果

提出的低压差稳压器使用 90 nm CMOS 工艺实现. 图 6 展示了低压差稳压器的芯片照片. 芯片面积是 $240\ \mu\text{m} \times 280\ \mu\text{m}$. 测量的最大输出电流是 10 mA, 相应的压差是 150 mV. 在供应电压 1.45~3.8 V 的范围内, 输出 1.3 V 的调制电压. 图 6 描述了该低压差稳压器的线性调制. 在负载 $60\ \mu\text{A}$ 和 8 mA 下测量的线性调制分别是 $0.36\ \%/V$ 和 $0.49\%/V$. 同时, 图 7 展示了测量的负载调制. 这些显示该低压差稳压器具有好的调制性能. 图 8 和图 9 展示了负载从 $60\ \mu\text{A}$ 到 5 mA 和从 5 mA 到 $60\ \mu\text{A}$ 瞬态变化时的测量结果. 结果显示最大输出电压变化是 110 mV 而建立时间仅仅是 20 ns.

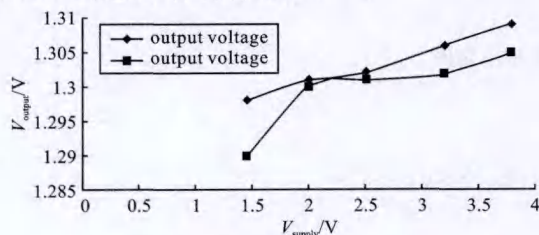


图 6 测量的线性调制

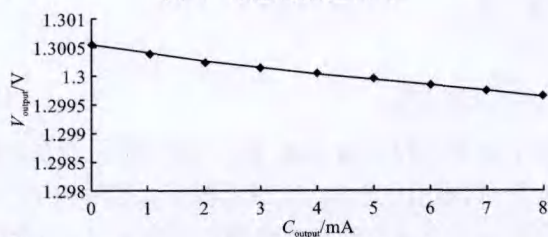


图 7 测量的负载调制

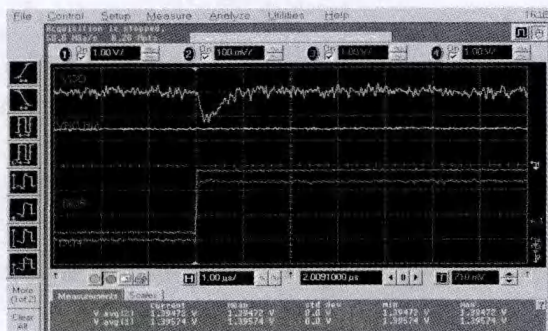


图 8 测量的负载正变化的瞬态响应

5 结束语

本文提出了一个无片外电容的自适应基准的低压差稳压器. 该系统通过电压缓冲级使用自适应基

准在低负载或者空负载下有很低的静态电流, 而在重负载下有大的基准电流和高的电流效率进而改变功率管栅端的摆率限制. 利用电容耦合效应构成的高速反馈环路使系统对于 Flash Memory 应用仅有 20 ns 响应时间.

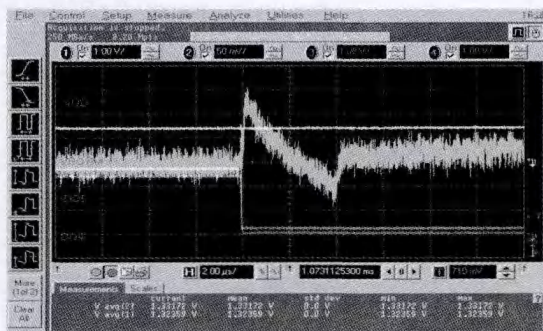


图 9 测量的负载负变化时的瞬态响应

参考文献:

- [1] Al-Shyoukh M, Lee H. A Transient-Enhanced Low-Quiescent low-dropout regulator with buffer impedance attenuation [J]. IEEE J Solid-State Circuits, 2007, 42(8):1732-1741.
- [2] 赵磊, 黄水龙, 李东岳, 等. 一种具有超低待机功耗的片上供电电源一种具有超低待机功耗的片上供电电源 [J]. 微电子学与计算机, 2012, 29(5):148-151.
- [3] 杨锦文, 冯全源. 基于嵌入式米勒补偿技术的 LDO 放大器设计 [J]. 微电子学与计算机, 2006, 23(3):198-200.
- [4] Chenchang Zhan, Wing-Hung Ki. An Output-Capacitor-free adaptively biased low dropout regulator with sub-threshold undershoot reduction for Soc[C]// Proceedings of the 2011 IEEE International Symposium on Circuits and Systems. Rio de Janeiro: IEEE, 2011:45-48.
- [5] Ho E N Y, Mok P K T. A Capacitor-less CMOS active feedback low-dropout regulator with slew-rate enhancement for portable on-chip application [J]. IEEE J Circuits and System, 2010, 57(2):80-84.
- [6] Ka Nang Leung, Mok P K T. A Capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation[J]. IEEE J Solid-State Circuits, 2003, 38(10):1691 - 1702.

作者简介:

郭家荣 女, (1980—), 讲师, 博士研究生. 研究方向为半导体存储器.